**BİLGİSAYAR ORGANİZASYONU VE TASARIMI LABORATUVARI UYGULAMA RAPORU**

**UYGULAMA NO:** 2

**UYGULAMA TARİHİ:** 16 KASIM 2016

**GRUP NO:**  G8

**GRUP ÜYELERİ**

1358130030 Anıl Ertürk

1358130060 Gülçin Çelebi

**Bölüm 1**

----------------------------------------------------------------------------------

-- Description: ilk başta iki mux2x1 var. bunlar s0 a göre iki girişten birini seçiyor ve çıkışları

üçüncü mux2x1 e bağlanıyor. bu mux'un seçimi ise s1 ile yapılıyor. yani mux4x2 yapmış oluyoruz.

----------------------------------------------------------------------------------

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity mux2x1 is

port(

s,w0,w1: IN std\_logic;

f: out std\_logic

);

end mux2x1;

architecture Behavioral of mux2x1 is

begin

process(s,w0,w1)

begin

if s = '0' then

f <= w0;

elsif s = '1' then

f <= w1;

end if;

end process;

end Behavioral;

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity mux4x1 is

port(

s1,s0,w0x,w1x,w2x,w3x: IN std\_logic;

fx: out std\_logic

);

end mux4x1;

architecture structural of mux4x1 is

component mux2x1 is

port(

s,w0,w1: IN std\_logic;

f: out std\_logic

);

end component;

signal a1,a2: std\_logic;

begin

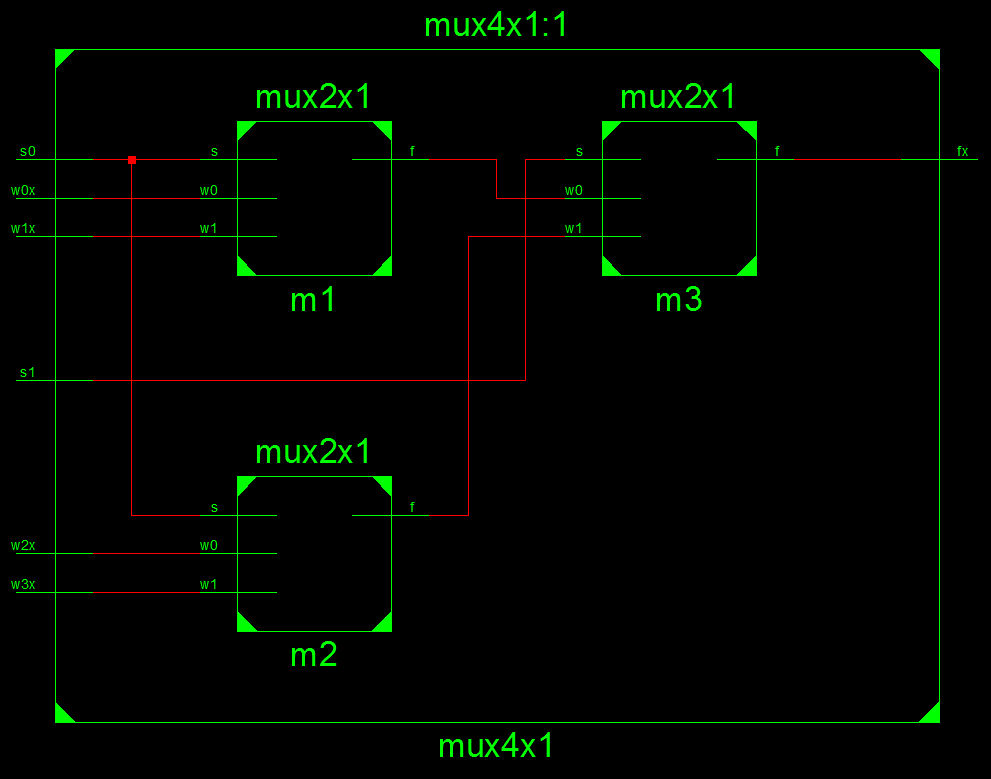
m1: mux2x1 port map(s0,w0x,w1x,a1);

m2: mux2x1 port map(s0,w2x,w3x,a2);

m3: mux2x1 port map(a1,a2,s1,fx);

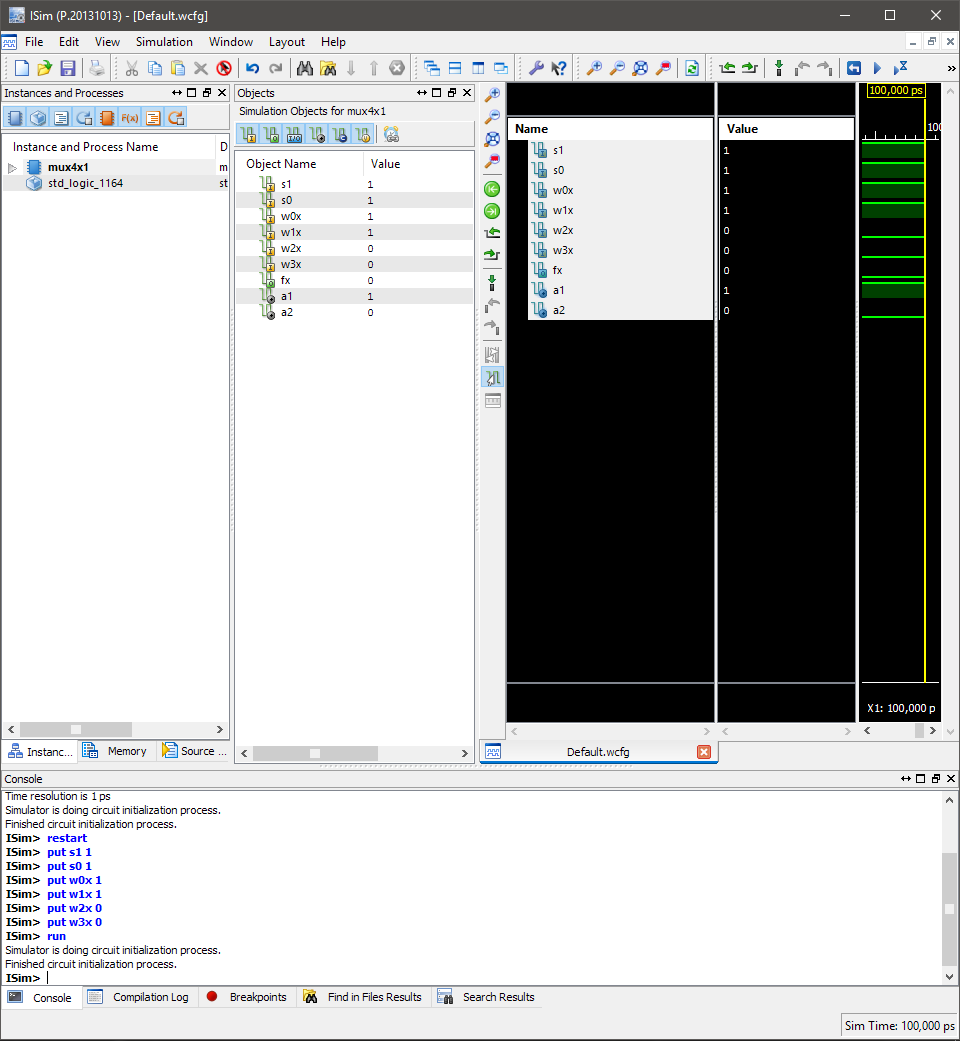
end structural;

**Bölüm 2**

****

RTL şeması

**Bölüm 3**



Waveform Diagram